

4/5/1

DIALOG(R)File 351:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

010863706 \*\*Image available\*\*

WPI Acc No: 1996-360657/ 199636

XRPX Acc No: N96-304177

Frame synchronization circuit for decoding processing circuit in computer system - has assistance bit detector that sends out detection output which is used to detect frame bit in input coding data

Patent Assignee: FUJITSU LTD (FUIT )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8172432	A	19960702	JP 94317176	A	19941220	199636 B

Priority Applications (No Type Date): JP 94317176 A 19941220

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8172432	A	19	H04L-007/08	

Abstract (Basic): JP 8172432 A

The circuit detects an assistance bit from the input coding data containing the assistance bit and the frame bit. An assistance bit detector sends out a detection output.

The detection output is used to detect the frame bit in the input coding data.

ADVANTAGE - Realizes optimization of circuit.

Dwg.1/16

Title Terms: FRAME; CIRCUIT; DECODE; PROCESS; CIRCUIT; COMPUTER; SYSTEM; ASSIST; BIT; DETECT; SEND; DETECT; OUTPUT; DETECT; FRAME; BIT; INPUT; CODE; DATA

Derwent Class: W01

International Patent Class (Main): H04L-007/08

International Patent Class (Additional): H04L-007/00; H04L-025/49

File Segment: EPI

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-172432

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 7/08

A

7/00

D

25/49

9199-5K

審査請求 未請求 請求項の数17 O L (全 19 頁)

(21)出願番号 特願平6-317176

(22)出願日 平成6年(1994)12月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 石塚 淳夫

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 中村 則和

栃木県小山市城東3丁目28番1号 富士通  
デジタル・テクノロジー株式会社内

(72)発明者 陳 清巖

栃木県小山市城東3丁目28番1号 富士通  
デジタル・テクノロジー株式会社内

(74)代理人 弁理士 井桁 貞一

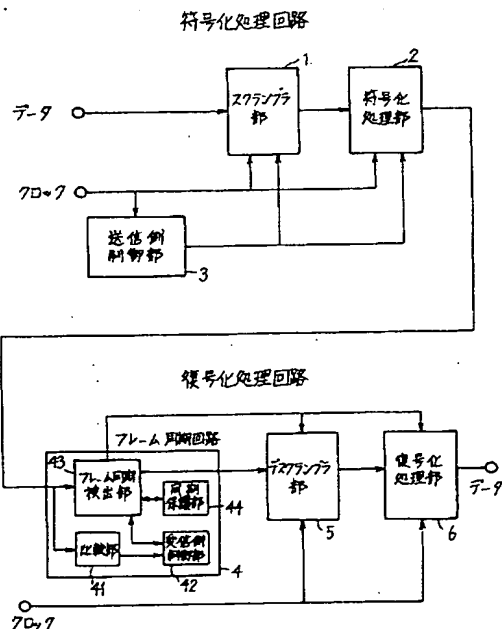
(54)【発明の名称】 フレーム同期回路と同回路を用いた符号化／復号化処理回路

(57)【要約】

【目的】 例えば、交換機または伝送処理端局で使用するフレーム同期回路及びこの回路を使用した復号化処理回路に関し、最適化を図ったフレーム同期回路及びこの回路を使用した復号化処理回路の提供を図ることを目的とする。

【構成】 補助ビットとフレームビットが挿入された入力符号化データから補助ビットを検出し、検出出力を送出する補助ビット検出手段と、該検出出力を利用して、該入力符号化データからフレームビットを検出するように構成する。

本発明のフレーム同期回路及び同回路を用いた  
符号化／復号化処理回路の要部構成図の一例



## 【特許請求の範囲】

【請求項 1】 補助ビットとフレームビットが挿入された入力符号化データから補助ビットを検出し、検出出力を送出する補助ビット検出手段と、該検出出力を利用して、該入力符号化データからフレームビットを検出するフレーム同期検出手段を有することを特徴とするフレーム同期回路。

【請求項 2】 上記符号化データが、補助ビットとフレームビットをそれぞれ一定周期で挿入していることを特徴とする請求項 1 記載のフレーム同期回路。

【請求項 3】 上記符号化データが、フレームビットを補助ビットの挿入周期の整数倍となる様に挿入したことを特徴とする請求項 2 記載のフレーム同期回路。

【請求項 4】 上記符号化データが、フレームビットの挿入周期で補助ビットが置き替わる様にしたことを特徴とする請求項 3 記載のフレーム同期回路。

【請求項 5】 非同期状態にアラームを送出する構成にしたことを特徴とする請求項 4 記載のフレーム同期回路。

【請求項 6】 フレーム同期の確立したデータと PN パターンとの排他的論理和を取るデスクランブラ部を有することを特徴とする請求項 5 記載のフレーム同期回路。

【請求項 7】 上記デスクランブラ部をフレーム同期検出部から出力するフレーム情報でセット/リセットすることを特徴とする請求項 6 記載のフレーム同期回路。

【請求項 8】 上記補助ビット検出手段は、符号化データの  $i$  番目と  $(i+1)$  番目を比較して補助ビットを検出する比較部と、補助ビットの検出状態に対応してセット/リセットされる  $(m+1)$  ビットカウンタ、 $n$  ビットカウンタ、2 ビットカウンタを持ち、カウンタ出力を制御信号として必要な部分に送出する受信側制御部を有し、該フレーム同期検出手段は、該制御信号を利用して入力符号化データからデータ、フレームビット、フレーム情報、同期保護情報及びデスクランブラ部用セット/リセット用情報を生成・送出するフレーム同期検出部、該フレーム同期検出部からのフレームビット、フレーム情報、同期保護情報を用いて同期保護及び保護が外れた時にアラームを送出する同期保護部、デスクランブラ部を有し、該フレーム同期検出部が、該受信側制御部の出力を利用してフレームビットを検出してフレーム同期を取る様に構成したことを特徴とする請求項 7 記載のフレーム同期回路。

【請求項 9】 上記入力符号化データが mBIC 符号化データの場合、上記比較部は、mBIC 符号化データの  $i$  番目と  $(i+1)$  番目の排他的論理和を取り、排他的論理和出力が初めて“1”となった場所を補助ビットと認識し、比較部出力で上記制御部内の  $(m+1)$  ビットカウンタ、 $n$  ビットカウンタをリセットするが、 $(m+1)$  ビットカウンタが再び“0”の

時、排他的論理和出力が“1”であれば、補助ビットと見なして、 $n$  ビットカウンタをカウントアップし、排他的論理和出力が“0”であれば、フレームビットの可能性ありとして、2 ビットカウンタが“0”なら、 $n$  ビットカウンタをリセットし、2 ビットカウンタを 1 にするが、検出ビットの符号が“0”であったとすると、次に  $n$  ビットカウンタが“0”となる所で検出されるビットの符号が“1”であれば、このビットをフレームビットと認識し、以降、符号誤りが検出されない場合は後方保護の後、フレーム同期が確立する様な構成にしたことを特徴とする請求項 8 記載のフレーム同期回路。

【請求項 10】 上記排他的論理和出力が“0”で、 $n$  ビットカウンタが“0”となる所で排他的論理和出力が“0”となった時の符号が補助ビットと認識できなければ 2 ビットカウンタを“0”にして補助ビットのハンテイングを始める様にしたことを特徴とする請求項 8 記載のフレーム同期回路。

【請求項 11】 フレーム同期確立後も補助ビットの監視を行い、補助ビットの符号誤りを検出するとフレームビット符号の正誤にかかわらず、再ハンテイング状態に戻る構成にしたことを特徴とする請求項 8 記載のフレーム同期回路。

【請求項 12】 上記同期保護部で補助ビットの同期保護とフレームビットの同期保護を同時に行なって、疑似同期やデータ・スリップ時の誤同期を回避する構成にしたことを特徴とする請求項 9～11 記載のフレーム同期回路。

【請求項 13】 入力する複数チャンネルの上記符号化データのうち、1 チャンネルをマスター、他のチャンネルをスレーブとし、該マスターのフレーム同期検出部は、請求項 8 に記載のフレーム同期回路で構成され、該マスターのフレーム同期回路からのフレームビット情報を、同期保護部、制御部、ゲート回路部で構成される該スレーブのフレーム同期部に送出し、入力したフレームビット情報とフレームビットとの一致/不一致を検出してスレーブのフレーム同期を取る構成にしたことを特徴とするフレーム同期回路。

【請求項 14】 上記スレーブのフレーム同期部が前後数ビットのスキューアライン機能を持つ様に、遅延回路及びセレクトを備えることを特徴とする請求項 13 記載のフレーム同期回路。

【請求項 15】 PN パターンを発生し、入力デジタル信号と PN パターンとの排他的論理和を取るスクランブラ部と、補助ビット及びフレームビットをデジタル信号に挿入することにより符号化を行なう符号化処理部と、 $m+1$  ビットカウンタ、 $n$  ビットカウンタ、2 ビットカウンタのセット/リセットを行なう送信側制御部とを有する符号化処理回路と、請求項 8 または請求項 13 に記載のフレーム同期部と、同期の取れたデジタル信号の復号化を行なう復号化処理部とを有する復号化処理回路

において、

フレーム長及びPNパターンのリセット長を設定可能な構成にしたことを特徴とする符号化／復号化処理回路。

【請求項16】 上記フレーム長及びPNパターンのリセット長の設定は、送信側制御部及び受信側制御部に設けられた $n$ ビットカウンタを、ビット数が可変する $2^{K-1}$ ビットカウンタ( $K$ は正の整数)に置換する構成にしたことを特徴とする請求項15記載の符号化／復号化処理回路。

【請求項17】 フォトダイオード、プリアンプ、平均値検出回路、リミッタンプで構成される光／電気変換部と復号処理部とを有する光受信器において、受信側制御部に上記 $2^{K-1}$ ビットカウンタを設け、フレーム長とPNパターンのリセット長を設定可能にしたことを特徴とする請求項15～16記載の符号化／復号化処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はフレーム同期回路及び同回路を有する復号化処理回路に関するものである。

【0002】近年、コンピュータシステム、交換機あるいは、伝送処理端局内の処理速度が日増しに向上してきており、ボード・装置間の信号インタフェース速度が日増しに高速化し、その伝送距離についても装置の配置に柔軟に対応する為、増加する傾向にある。そこで、多数の信号を並列に長い距離を伝送することのできるインタフェースを実現する必要がある。

【0003】

【従来の技術】図15は従来例の説明図で、(a)は構成図、(b)は動作説明図である。上記の様に、ボード・装置間のインタフェース速度が日増しに高速化されるのに伴い、並列の高速デジタル信号を効率よく、比較的長距離伝送することのできる符号化／復号化処理回路の実現が重要な課題となっている。特に、伝送される情報が画像信号及びデータ信号等の場合には、符号化／復号化処理回路も含めた送受信回路の伝送品質の軽微な劣化が、明瞭な誤りとして利用者に知覚される為、回路全体として極めて低い誤り率が要求される。

【0004】このような問題を解決し信頼性が高く経済的な符号化／復号化処理回路を実現するには、符号化処理回路では効率的な符号化を行なうこと、復号化処理回路においては同期復帰時間が速く、擬似同期、同期外れを起こさないフレーム同期回路の実現が必要である。

【0005】例えば、並列データを一括して伝送する際、この並列データを多重化したデータを各チャネル毎に入れ替えて符号化を行なう方式、バーストデータ伝送時の伝送路マーク率を $1/2$ にする為、入力データをスクランブリングする方法、補助ビットとして直前ビットの論理反転符号を挿入し同符号連続を抑える方法、フレームビット検出によるフレーム同期方式、フレームビットの符号誤りを監視する同期保護方式などが提案されてい

る。

【0006】しかし、フレーム同期回路として良く用いられるのは1ビット遅延シフト方式である。この方式は図15に示す様に、フレーム比較・検出部分81、同期保護部分82、制御部分83で構成されて、制御部分で生成したフレームパルスと入力データをフレーム比較・検出部分で比較する。ここで、フレームパルスはデータ中に等間隔で分散しているとする。

【0007】そして、あるフレームパルスとデータとを比較した時、符号が一致するとフレームパルス検出として同期保護状態に移行する。しかし、符号が不一致の場合にはフレームパルスを(1ビット+1フレーム)遅延してデータと比較するが、不一致の場合は更に(1ビット+1フレーム)遅延する。そして、この遅延を一致するまで繰り返す。

【0008】

【発明が解決しようとする課題】図16は課題説明図で、(a)は擬似同期発生の場合、(b)はデータ・スリップ時の誤同期発生の場合である。

【0009】ここで、上記の様なフレーム同期方式では、

(1) 入力するデジタル信号のパターン(バーストデータなど)によっては、システムを立ち上げた時に復号化処理回路においてフレームビットパターンを誤認して擬似同期の起こる可能性がある。

【0010】例えば、図16(a)に示す様に、入力データ中に“1”、“0”の交番するフレームビットパターン(図中のF1が“1”、F0が“0”とする)が分散して挿入されており、これと同じパターンのデータが存在する場合は擬似同期が起こる。

(2) 同期確立後、伝送データが前後にスリップした時に誤同期の起こる可能性がある。

【0011】図16(b)に示す様に、データ中にフレームビットパターンと同じパターンのデータがフレームビットパターンと隣り合っている、復号化処理回路で正常にフレーム同期が取れていたとする(、参照)。しかし、データが何らかの原因(例えば、伝送路の温度変化など)により、スリップすると、誤り動作が発生する(、参照)。

(3) フレーム長に対応して、同期復帰時間が長くなるので、保守性や信頼性に関して不利になる。

(4) バーストデータを伝送する際、符号化処理部でデータにスクランブル処理を施す。スクランブル処理は、回路内のスクランブラで発生するスクランブルパターンと伝送データとの排他的論理和を取ることによって行なわれる。

【0012】この時、スクランブルパターンのパターン長は回路内のスクランブラの段数によって決定されるが、この長さはフレーム長と異なることが多い。システムにおいて、1フレーム長当りのマーク率を規定する

為、スクランブルパターンに1フレーム長相当の周期でリセットをかける。

【0013】並列データ伝送路の場合、回路構成上、スクランブルパターンとリセット位置の関係が各チャンネル毎に異なりマーク率のチャンネル間のバラツキが大きく、例えば、光送受信器と組み合わせて使用する場合、平均値検出を行なう光／電気変換部の特性に悪影響を与える。

【0014】本発明は最適化を図ったフレーム同期回路及びこの回路を使用した復号化処理回路の提供を図ることを目的とする。

【0015】

【課題を解決するための手段】第1の本発明は、フレーム同期回路が補助ビットとフレームビットが挿入された入力符号化データから補助ビットを検出し、検出出力を送出する補助ビット検出手段と、検出出力を利用して、入力符号化データからフレームビットを検出するフレーム同期検出手段を有する様に構成する。

【0016】第2の本発明は符号化データに、それぞれ一定周期の補助ビットとフレームビットを挿入する様にした。第3の本発明は、上記フレームビットの周期を補助ビットの挿入周期の整数倍となる様にした。

【0017】第4の本発明は、フレームビットの挿入周期で補助ビットが置き替わる様にした。第5の本発明は、非同期状態でアラームを送出する様にした。

【0018】第6の本発明は、フレーム同期の確立したデータとPNパターンとの排他的論理和を取るデスクランブラ部を有する様にした。第7の本発明は、デスクランブラ部をフレーム同期検出部から出力するフレーム情報でセット／リセットする様にした。

【0019】第8、第9の本発明は、比較部、受信側制御部を有する補助ビット検出手段とフレーム同期検出部、同期保護部、デスクランブラ部を有するフレーム同期検出手段を設け、フレーム同期検出部が、受信側制御部の出力を利用してフレームビットを検出してフレーム同期を取る様に構成した。

【0020】第10の本発明は、排他的論理和出力が“0”でnビットカウンタが“0”となる所で排他的論理和出力が“0”となった時の符号が、補助ビットと認識できなければ、2ビットカウンタを“0”にして補助ビットのハンテイングを始める様にした。

【0021】第11の本発明は、フレーム同期確立後も補助ビットの符号誤りを検出すると再ハンテイング状態に戻る構成にした。第12の本発明は、同期保護部で補助ビットの同期保護とフレームビットの同期保護を同時に行なう、擬似同期やデータ・スリップ時の誤同期を回避する構成にした。

【0022】第13の本発明は、複数チャンネルの符号化データのうち、1チャンネルをマスター、他のチャンネルをスレーブとし、マスタのフレーム同期回路からのフ

レームビット情報を用いてスレーブのフレーム同期を取る構成にした。

【0023】第14の本発明は、スレーブのフレーム同期部にスキューアライン機能を持たせる構成にした。第15の本発明は、スクランブラ部、符号化処理部、送信側制御部を有する符号化処理回路及びフレーム同期部、復号化処理部を有する復号化処理回路において、フレーム長及びPNパターンのリセット長を設定可能な構成にした。

【0024】第16の本発明は、送信側制御部及び受信側制御部に設けられたnビットカウンタを $2^{K-1}$ ビットカウンタに置換する構成にした。第17の本発明は、光受信器において、受信側制御部に $2^{K-1}$ ビットカウンタを設け、フレーム長とPNパターンのリセット長を設定可能にした。

【0025】

【作用】図1は本発明のフレーム同期回路及び同回路を用いた符号化／復号化処理回路の要部構成図の一例、図2は図1中のフレーム同期回路の動作説明用フロー図である。

【0026】以下、図1、図2を説明する。先ず、図1中のスクランブラ部1は、PNパターン発生回路とゲート回路からなり、PNパターン発生回路から出力されるPNパターンと入力デジタル信号との排他的論理和を取る。

【0027】符号化処理部2は、スクランブラ部でスクランプリングされたデータに補助ビット及びフレームビットを挿入し、mB1C符号化を行なう。送信側制御部3は、図示しない内蔵の(m+1)ビットカウンタ、nビットカウンタ、2ビットカウンタのセット／リセットを行なう。

【0028】比較部41は、デジタル伝送路より入力した符号化データのi番目と(i+1)番目とを比較して補助ビットを検出する。受信側制御部42は、図示しない内蔵の(m+1)ビットカウンタ、nビットカウンタ(CNT<sub>n</sub>)、2ビットカウンタ(CNT<sub>2</sub>)のセット／リセットを行なう。

【0029】フレーム同期検出部43は、フレームビット及びフレーム情報の出力タイミングの生成とデスクランブラ部のセット／リセット用情報の生成とフレーム保護用情報の生成を行なう。

【0030】同期保護部44は、フレーム同期保護を行い、フレーム同期のアラームを出力する。デスクランブラ部5は、図示しないPNパターン発生回路とゲート回路からなり、PNパターン発生回路から出力されるPNパターンとフレーム同期の取れたデータとの排他的論理和をとり、スクランプリングされたデータを元のデジタル信号に戻す。

【0031】復号化処理部6は、符号化データの補助ビット及びフレームビットを削除する。ここで、補助ビットは(m+1)ビット毎に挿入され、その符号は直前のビットの反転となる。フレームビットは[(m+1)×n]ビ

ットに1回、1, 0交番として補助ビット上に挿入される。

【0032】次に、図1の符号化処理回路からの mB1C 符号化データが復号化処理回路に入力すると、フレーム同期回路で図2に示す様なフローに従って補助ビット(Cビット)やフレームビット(Fビット)を検出する。即ち、

1. 2ビットカウンタ(CNT<sub>2</sub>)を0にする(S1参照)。
2. 比較部41で、データのi番目と(i+1)番目との排他的論理和を取り、その結果が初めて“1”となった場所をCビットと認識する(S2参照)。

【0033】この時、受信側制御部の(m+1)ビットカウンタ、nビットカウンタをリセットする(S3参照)。なお、“1”でなければ、“1”となるまで繰り返す(Cビットハンティング)。

3. (m+1)ビットカウンタが“0”の時(S4のY参照)、i番目と(i+1)番目との排他的論理和(S5)が“1”であれば、Cビットと見なし(S5のY参照)、nビットカウンタを+1する(S6参照)。

【0034】なお、CNT<sub>n</sub> ++はnビットカウンタのカウンタを+1する。

4. (m+1)ビットカウンタが“0”の時(S4のY参照)、i番目と(i+1)番目との排他的論理和が“0”であれば(S5のN)、Cビットではないが、Fビットの可能性があるので、これよりCビットを探し始める。

【0035】この時、2ビットカウンタが0なら(S8のY参照)、nビットカウンタをリセットし、2ビットカウンタを“1”にする(S9参照)。なお、2ビットカウンタを“1”にしたと云うことはFビットの検出を行なっていることを表す。

【0036】2ビットカウンタが1なら、nビットカウンタが“0”の時は(S10のY参照)、S7の(m+1)ビットカウンタをカウントアップしてS4とのループを回る。しかし、nビットカウンタが0でなければ(S10のN参照)、Cビットの再ハンティングに入る。

5. ここで、上記の検出ビット(S5の所のi+1番目のビット)の符号が“0”であったとすると、次にnビットカウンタが“0”になる所で、検出されるビットの符号が“1”であれば、このビットをFビットとして認識する。

【0037】その後、符号誤りが検出されない場合、Fビットを2r回分、即ち、後方保護r段の後、同期が確立する。

6. しかし、検出されるビットの符号が“0”であれば、Fビットと認識せず、Cビットかどうかの判定をS5で行なう。

【0038】Cビットと判定すれば、nビットカウンタを+1し(S6参照)、判定しなければ、2ビットカウンタを“0”として(S1参照)、Cビットの再ハンティングを始める。

【0039】即ち、上記のハンティング過程において

は、Cビットの検出は常に行なっている為、符号化データがバースト的に誤った場合にFビットの符号誤りを待たず、直ちに再ハンティングを行なうことができる。

【0040】また、フレーム同期確立後もCビットの監視を行い、Cビットの符号誤りを検出すると、Fビット符号の正誤にかかわらず、再ハンティング状態に戻る。この様に、Cビットの検出を行なうことによって、Fビットのみの検出と比べて、再ハンティングまでの時間が短いので、同期復帰時間を短縮することができる。

【0041】更に、同期保護部では、Cビットの同期保護とFビットの同期保護を同時に行なうので、擬似同期パターンによる擬似同期や、データ・スリップ時の誤同期を回避することが可能となる。

【0042】また、送信側制御部及び受信側制御部に於いて、nビットカウンタを $2^{K-1}$ ビットカウンタ(K=1, 2, 3...)にすることによりKの値を任意に設定できるので、カウンタ部分の回路構成の簡略化ができ、フレーム長及びPNパターンのリセット長を変化させ、擬似同期パターンの発生を回避させ、バーストデータ伝送時の伝送路マーク率を一定にすることが可能となる。

【0043】更に、並列データ伝送路においては、チャネル間バラツキを小さくすることが可能となる。

【0044】

【実施例】図3は図1中のフレーム同期回路構成図の一例、図4は図3の動作説明図(その1)、図5は図3の動作説明図(その2)、図6は本発明の実施例の符号化処理回路の要部構成図、図7は図6の動作説明図、図8は本発明の実施例の復号化処理回路の要部構成図、図9は図8中のスレーブ側フレーム同期回路の構成図、図10は図9中の遅延回路の動作説明図、図11は図8の動作説明図、図12は本発明の実施例の復号化処理回路の別の一例を示す図、図13は本発明の実施例の復号化回路の更に別の一例を示す図、図14は本発明を光伝送装置に適用した場合の要部構成図である。

【0045】なお、全図を通じて同一符号は同一対象物を示す。以下、mB1C符号化は19B1C符号化として、図3～図14の説明を行なう。まず、図1、図4、図5を用いて図3に示すフレーム同期回路の同期確立迄の動作を説明する。

【0046】図1に示す様に、符号化処理回路はスクランブラ部1、符号化処理部2、送信側制御部3で構成されており、この回路から19B1C符号化データをフレーム同期回路4、デスクランブラ部5、復号化処理部6で構成される復号化処理回路に送出するので、フレーム同期回路に19B1C符号化データが入力する(図4(a)参照)。

なお、図2中の(m+1)ビットカウンタ、nビットカウンタは図3の20ビットカウンタ、8ビットカウンタに対応する。

【0047】一方、図3に示すフレーム同期回路は入力するリセット(b)が“H”になるとハンティング開始とな

り(図4(b)の参照)、比較部41で符号化データの  $i$  番目と  $(i+1)$  番目との排他的論理和(以下、EX-OR と省略する)を取り、その結果が初めて "1" になった場所をCビット(補助ビット)と認識し、EX-OR の反転(k)と1ビットシフト(L)を出力する(図4(k), (L)の参照)。

【0048】この時、受信側制御部 42 の20ビットカウンタ(c)及び8ビットカウンタ(d)をリセットする(図4(c), (d)の参照)。20ビットカウンタ情報(f)が8ビットカウンタ(d)と2ビットカウンタ(e)に送られ、8ビットカウンタ情報(g)が2ビットカウンタに送られる。

【0049】そして、20ビットカウンタが "0" の時、 $i$  番目のビットと  $(i+1)$  番目のビットとのEX-OR が "1" であればCビットとみなし、8ビットカウンタ(d)のカウント値を+1する。

【0050】また、20ビットカウンタが "0" の時、 $i$  番目のビットと  $(i+1)$  番目のビットとのEX-OR が "0" であれば、CビットではないがFビットの可能性があり、これよりCビットを探し始める(図4(a)の参照)。

【0051】この時、8ビットカウンタをリセットし(図4(d)の参照)、2ビットカウンタ(e)を "1" にする(図4(e)の参照)。2ビットカウンタが "1" の場合はFビットの検出を行なっていることを表す。

【0052】次に、20ビットカウンタが "0" となる時、 $i$  番目のビットと  $(i+1)$  番目のビットとのEX-OR が "0" となると、Cビットは誤りとなり、隣のビットからCビットの再ハンティングが始まる(図4(a)の参照)。

【0053】ここで、上記の様に再ハンティング状態となり、再び、図4(c), (d)の状態まで遷移したとする。状態で検出されるビットの符号が "0" であったとすると、次に8ビットカウンタが "0" となる所で検出されるビットの符号が "1" であれば、このビットをFビットとして認識する。

【0054】その後、符号誤りが検出されない場合は、Fビット4回分、即ち、後方2段の後、同期が確立する(図5(a)の参照)。同期が確立すると、アラーム(m)が "L" となり(図5(m)のA参照)、デスクランブラリセット用情報(h)、フレーム情報(i)、フレームビット情報(j)を出力する(図5のB参照)。

【0055】しかし、8ビットカウンタが "0" となる所で検出されるビットの符号が "0" であれば、Fビットと認識せずCビットかどうかの判定を行なう。ここで、Cビットと判定すれば、8ビットカウンタを+1し、判定しなければ2ビットカウンタを "0" としてCビットの再ハンティングを始める。

【0056】この様に、Cビットの検出を行なうことによって、Fビットのみの検出と比べて再ハンティングまでの時間が短いので同期復帰時間を短縮することができ

る。また、同期保護部44では、ハンティング過程において、Cビットの同期保護とフレームビットの同期保護を同時に行なっている(後方保護)ので、擬似同期パターンによる擬似同期を回避することができる。

【0057】更に、同期確立後もCビットを監視して、同期保護を行なう(前方保護)ことができる。Cビットの前方保護は1フレーム長内に存在するCビット中、1個でも誤りが発見されると1段と数える。保護段数が2段の時、Cビットの誤りが2フレーム連続で発見されると、再ハンティング状態となる。この保護により、データ・スリップ時の誤同期を回避することが可能となる。

【0058】図6～図11において、図6は送信側、図8受信側であり、図6中の11はパラレル/シリアル変換部、12、61はデータスワップ部、4aはマスターのフレーム同期部、4bはスレーブのフレーム同期部、62はシリアル/パラレル変換部である。

【0059】さて、上記では単チャンネルのデータ入力に対する回路構成になっているが、図6に示す符号化処理回路は20本の並列入力データ(うち1本はF/Cビット挿入用)を4本ずつパラレル/シリアル変換部11で4多重して5系列のデータに変換した後、データスワップ部12で5系列のデータを図7に示す様に4ビット単位(並列入力データ4本に対応)に系列間で順次、入替えを行ってスクランブラ部13に送出する。

【0060】スクランブラ部13では5本のデータとPNパターンとのEX-ORを取り、F/Cビット挿入部21で20ビット毎にCビットを、160ビット毎にFビットを挿入して19B1C符号化データとして出力する。

【0061】一方、図8に示す復号化処理回路では5本の19B1C符号化データのうちの1本をマスターに、残りの4本をスレーブとし、マスターのフレーム同期回路4aにおいて上記で説明した手段を用いてフレーム同期を取った後、マスタの同期情報(Fフラグ及びFビット情報)を各スレーブのフレーム同期回路4bに送出する。

【0062】そこで、スレーブのフレーム同期回路は入力した同期情報を用いてそれぞれフレーム同期を取るが、スレーブのフレーム同期方法を図9、図10を用いて説明する。

【0063】まず、図9の遅延回路(図10に示す様に、例えば、5段のシフトレジスタで構成されている)41bで入力データに±2ビットの遅延を与え、-2ビット、-1ビット、±0ビット、+1ビット、+2ビット遅延データ、即ち、計5系列のデータを用意する。受信側制御部45bにおいて、マスターからのFビット情報が入力すると、それを基にセレクト信号を生成してセレクト部42bに送出する。

【0064】セレクト部は図10に示す様に、セレクト信号で選択された遅延データとマスタから送出されたFフラグとを比較する。比較結果が不一致の場合は次の遅延データを選択し、一致すれば一致したセレクトデータを

出力する。

【0065】そこで、各スレーブでは、マスタを基準にして±2ビットまでのスキューを解消できる。本方式はマスターの同期確立後、複数のスレーブで同時にハンディングを開始する為、同期復帰時間が早く、またマスタに比べて回路規模が小さいと云う特徴を持つ。

【0066】さて、上記の方法フレーム同期を取った後、各系列は図8のデスクランブラ部5で同期データとPNパターンとのEX-ORを取り、データスワップ部61で図11に示す様にデータを系列間で入れ替え直し、シリアル/パラレル変換部62で各系列毎に並列データ4本に分離する。

【0067】なお、図12に示す様に、マスターの同期情報をスレーブ4b<sub>1</sub>に送り、スレーブ4b<sub>1</sub>で同期が確立した後、この同期情報をスレーブ4b<sub>2</sub>に送ると云う具合に順次、同期を取って行く構成にしてもよい。また、図13に示す様に、全ての符号化データ系列をマスタとして個々にフレーム同期を取る形態にしてもよい。

【0068】ここで、バーストデータを伝送する際には、図6に示す符号化処理回路において、データにスクランブル処理を施す。スクランブル処理は、回路内のスクランブラで発生するスクランブルパターンと伝送データとのEX-ORを取ることによって行なわれる。

【0069】この時、スクランブルパターンのパターン長は回路内のスクランブラの段数によって決定されるが、この長さはフレーム長とは異なることが多い。一方、システムにおいては、1フレーム長あたりのマーク率を規定する為、スクランブルパターンに1フレーム長相当の周期でリセットをかける。

【0070】並列データ伝送の場合、回路の構成上スクランブルパターンとリセット位置の関係が各チャンネル毎に異なり、マーク率がチャンネル間でバラツクと云うのが従来の課題であったが、フレーム長とPNパターンのマーク率が僅かに変化させると、1フレーム長当りのPNパターンのマーク率が僅かに変化する。

【0071】この変化量を予め知っていれば、伝送路マーク率が変化して0.5からずれた時、そのずれた分だけ補正することができる。従って、並列データ伝送路においては、チャンネル間でのマーク率のバラツキを小さくすることもできる。

【0072】PNパターンのリセット長がフレーム長以上で、且つ、フレーム長の整数倍の時、擬似同期パターンが発生する可能性がある。この時、 $2^{K-1}$ ビットカウンタ制御部(図示せず)において $2^{K-1}$ ビットカウンタを制御し、PNパターン及びリセット長を変化させることにより、擬似同期が起らない様にする事ができる。

【0073】さて、図14は上記で詳細説明した本発明のフレーム同期回路を光伝送装置に用いた場合の要部構成図である。図に示す様に、フォトダイオード(PD)、プリアンプ、リファレンス回路、リミッタアンプで構成され

る光/電気変換部とを有する光受信部と、上記の復号化処理回路とを組み合わせた光受信器において、フレーム長、デスクランブラ部内のPNパターンのリセット長を任意に設定する $2^{K-1}$ ビットカウンタを用意して、Kの値を制御することで伝送路のマーク率を変化させることができる。ここで、Kは1,2,3・・・である。

【0074】光受信部ではリファレンス回路を用いており、リファレンス回路では光受信レベルを検出している。この時、リファレンス回路で平均値を検出する方式であれば伝送路マーク率が常に0.5であることが安定に動作する条件である。

【0075】しかし、伝送路データのマーク率は、スクランブル処理が行なわれてもデータ自身のマーク率や出現パターンによって0.5から僅かにずれてしまう。このことがリファレンス回路(平均値検出回路)の特性劣化を招くことになる。

【0076】そこで、送信部におけるスクランブラ部及び受信部におけるデスクランブラ内部のPNパターン発生部で発生するPNパターンのリセット長をかえることにより、或いはフレーム長を変えることにより、伝送路マーク率を0.5に対して微妙に変化させることができる。

【0077】これにより、データ自身のマーク率が変化して伝送路マーク率が0.5からずれた時に0.5に近づける様に修正することが可能となる。つまり、本発明によれば同期復帰時間を短縮すること、擬似同期及びデータ・スリップ時の誤同期を回避すること、伝送路マーク率を変化させること、並列伝送時のチャンネル間ばらつきを抑えること、光伝送システムに適用した時の光受信部の能力に最適なマーク率でのデータ伝送を行い、光/電気変換部における平均値検出の特性劣化を防ぐこと、nビットカウンタを $2^{K-1}$ ビットカウンタとすることにより、回路構成を簡略化することが可能となる効果を奏し、符号化/復号化処理装置の性能向上に寄与するところが大きい。

【0078】

【発明の効果】以上詳細説明した様に本発明によれば、最適化を図ったフレーム同期回路と同回路を用いた符号化/復号化処理回路の提供を図ることができると云う効果がある。

【図面の簡単な説明】

【図1】本発明のフレーム同期回路及び同回路を用いた符号化/復号化処理回路の要部構成図の一例である。

【図2】図1中のフレーム同期回路の動作説明用フロー図である。

【図3】図1中のフレーム同期回路構成図の一例である。

【図4】図3の動作説明図(その1)である。

【図5】図3の動作説明図(その2)である。

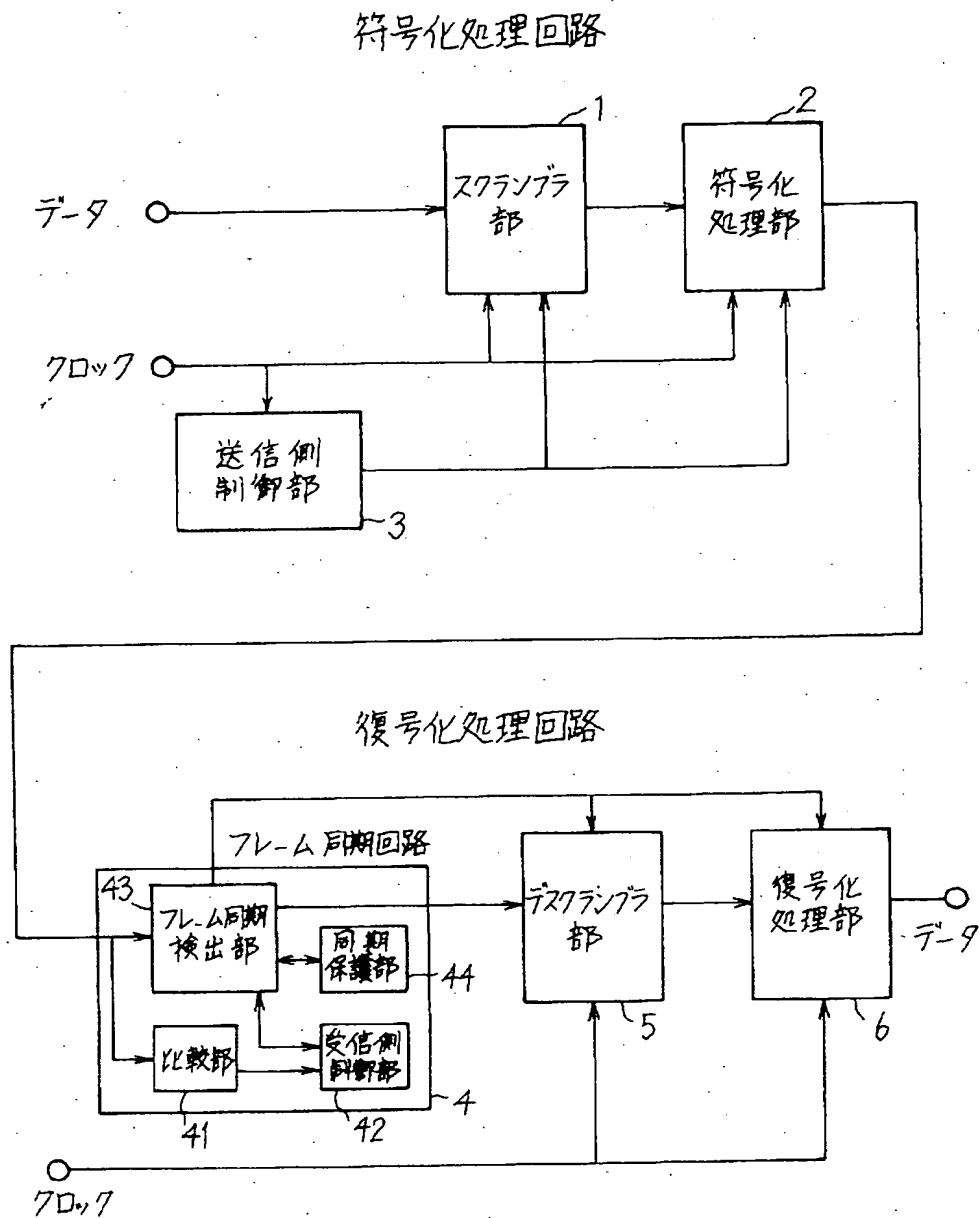
【図6】本発明の実施例の符号化処理回路の要部構成図である。





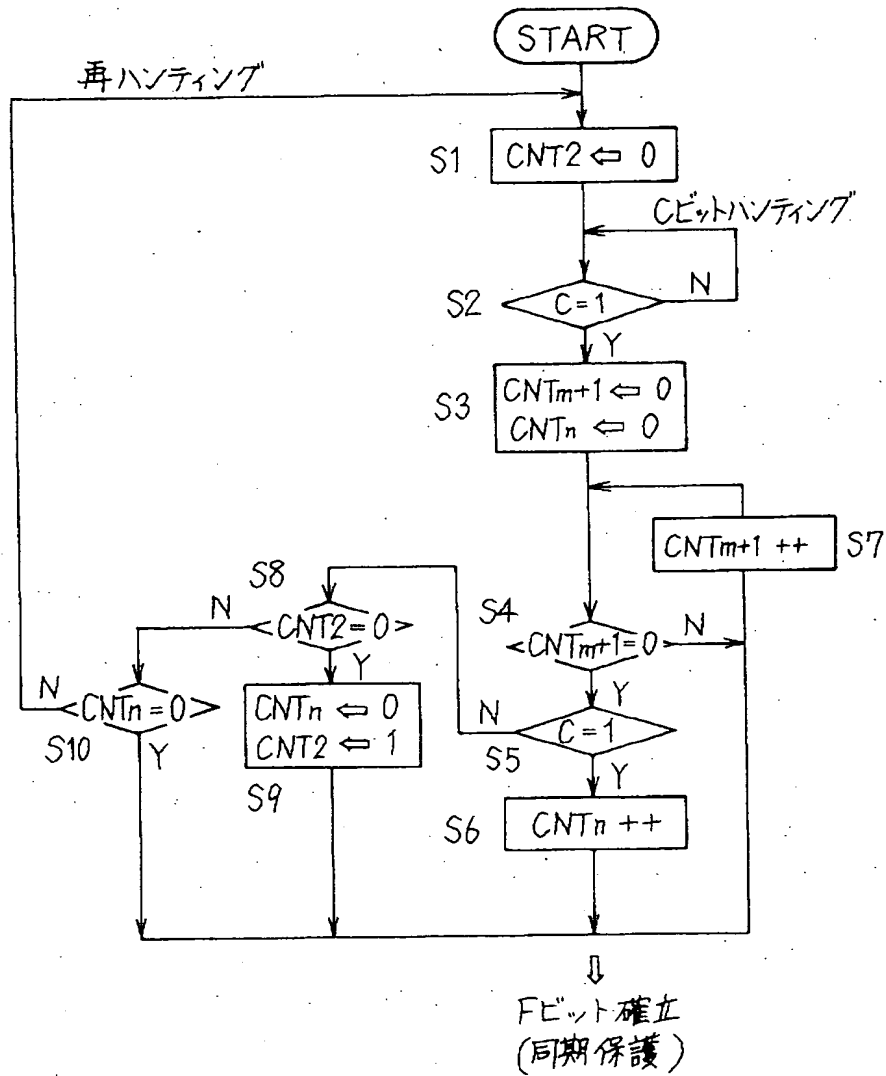
【図 1】

本発明のフレーム同期回路及び同回路を用いた  
符号化/復号化処理回路の要部構成図の一例



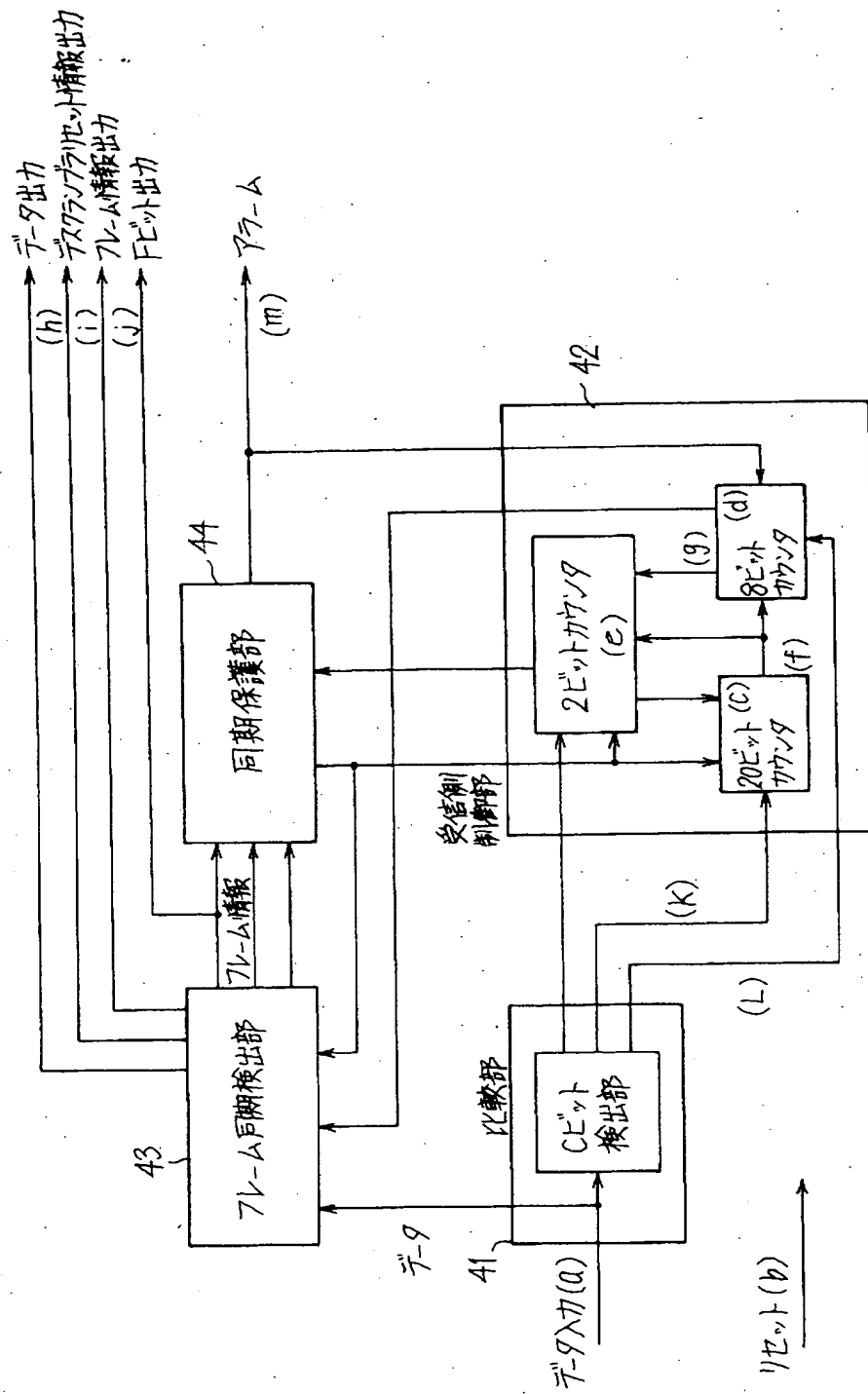
【図2】

図1中のフレーム同期回路の動作説明用フロー図



【図3】

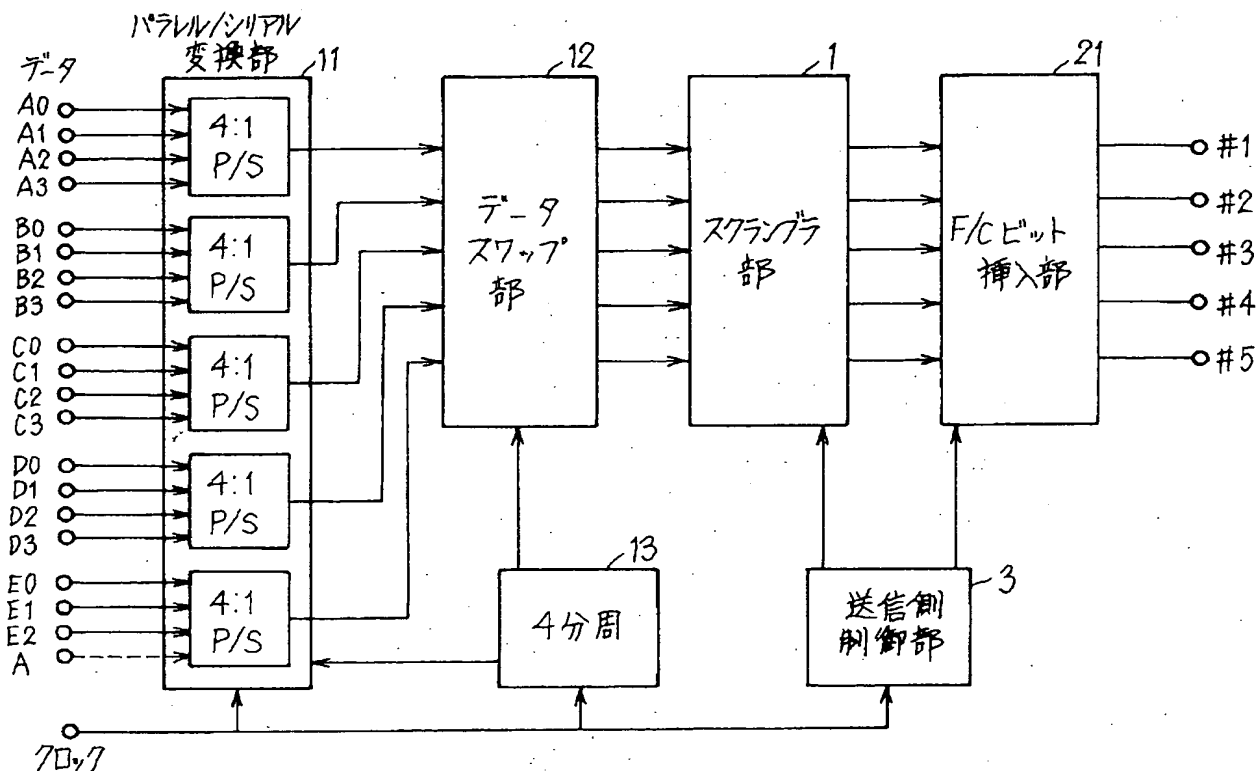
図1中のフレーム同期回路構成図の一例





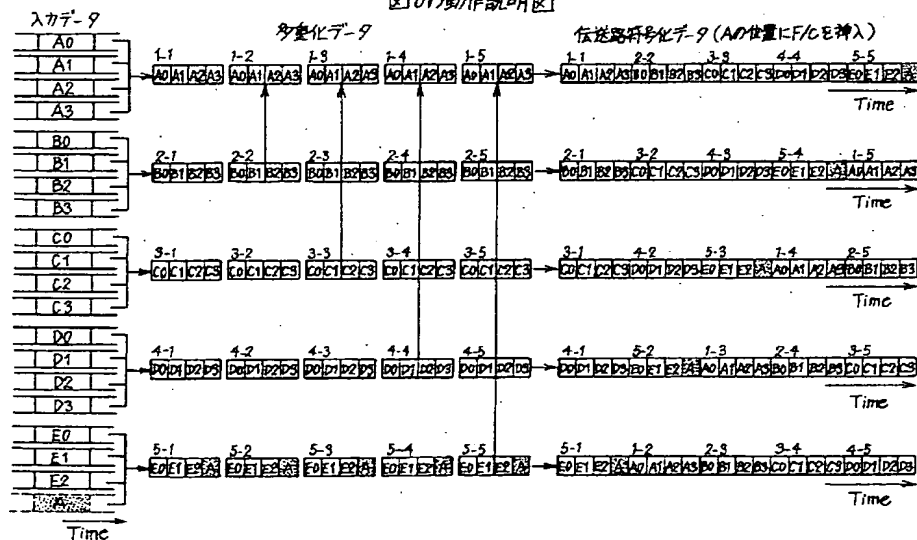
【図 6】

## 本発明の実施例の符号化処理回路の要部構成図



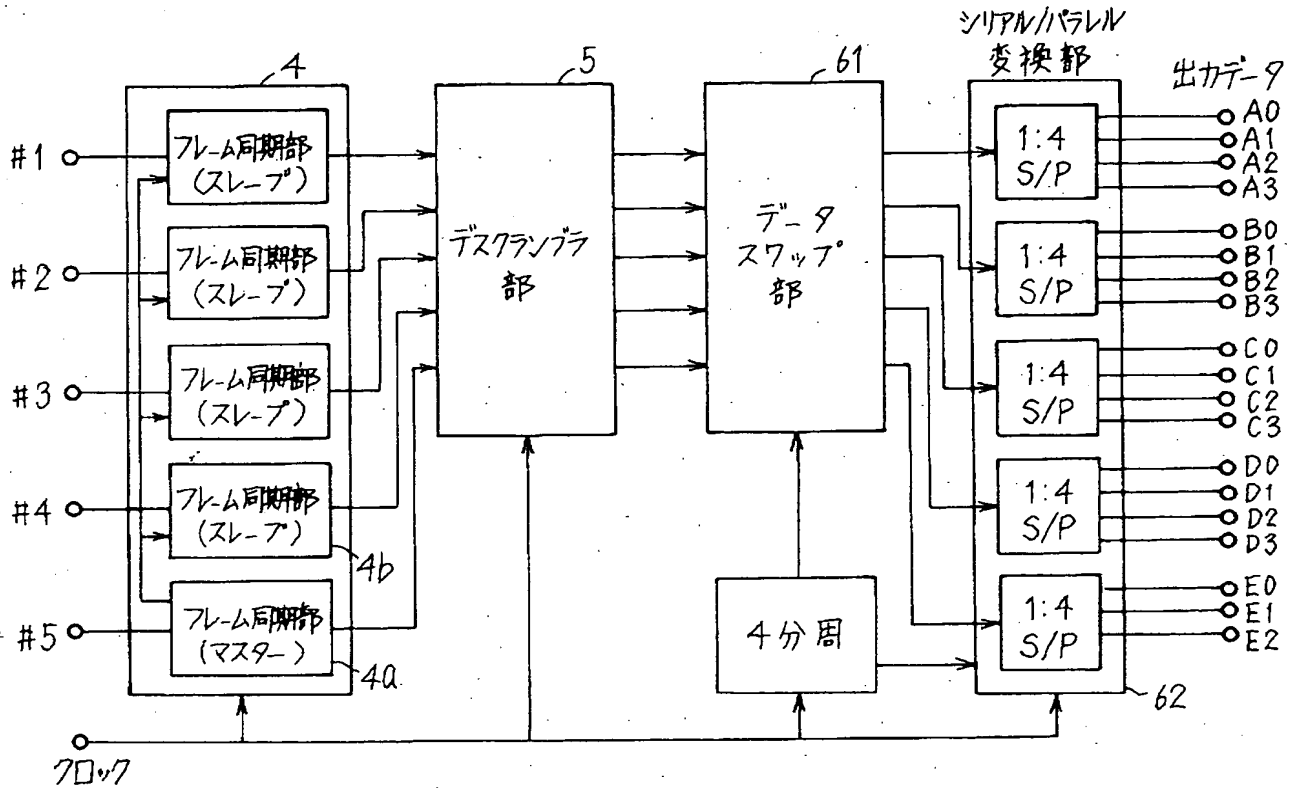
【図 7】

図 6 の動作説明図



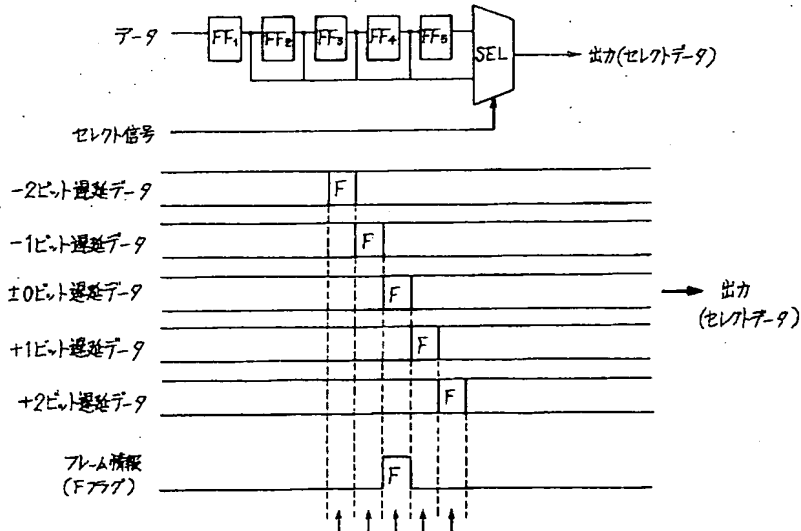
【図 8】

## 本発明の実施例の復号化処理回路の要部構成図



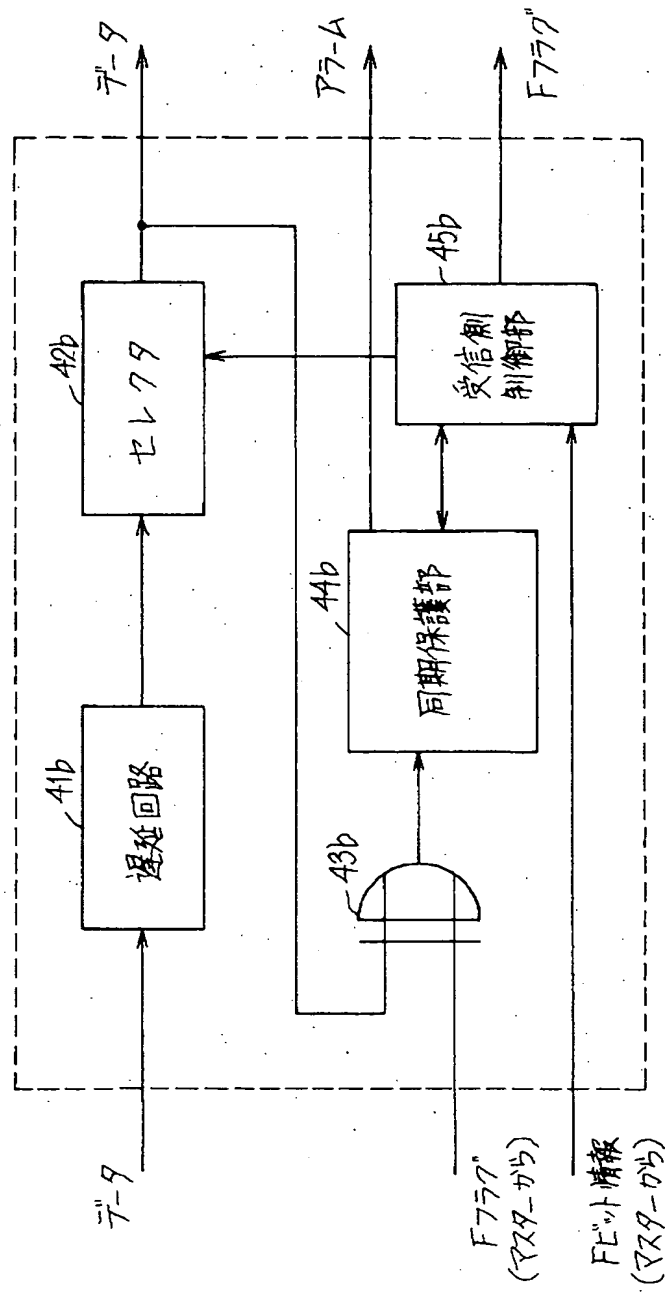
【図 10】

## 図 9 中の遅延回路の動作説明図



【図9】

図8中のスレプ側フレーム同期回路の構成図



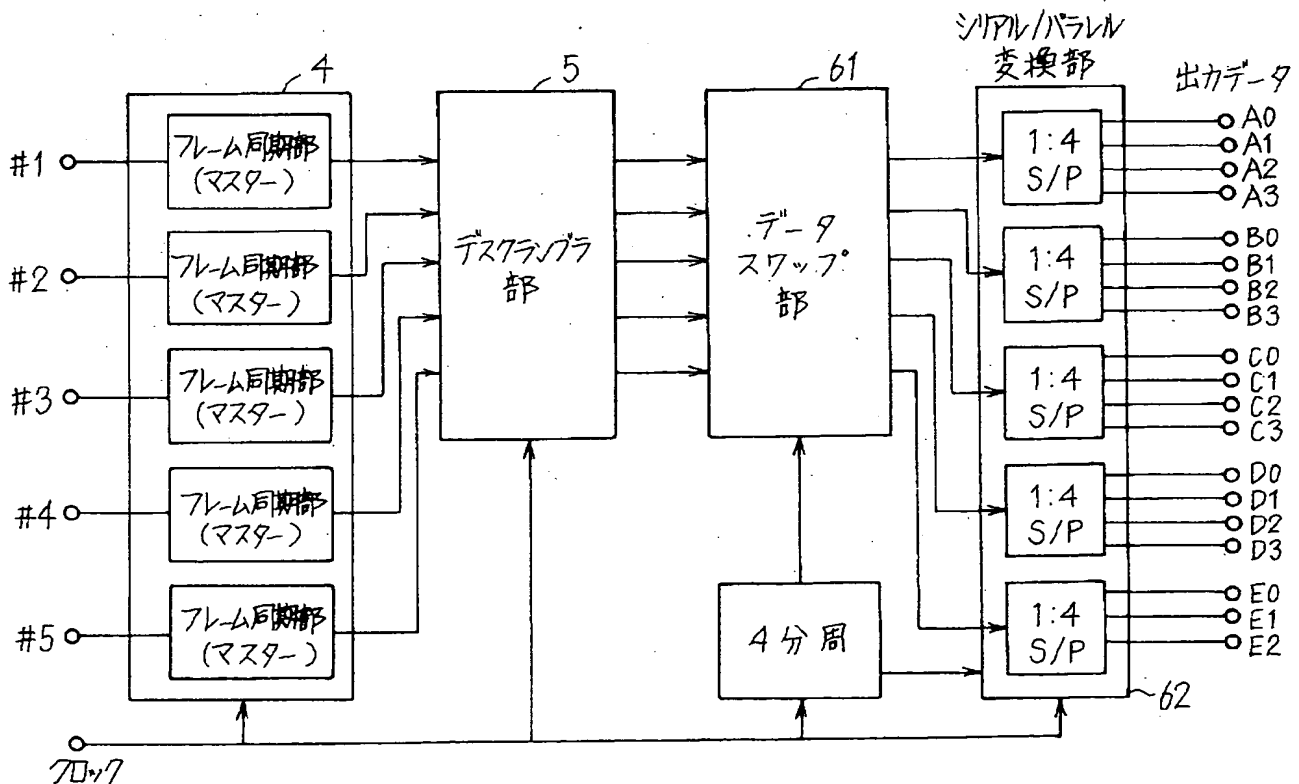


【図 11】



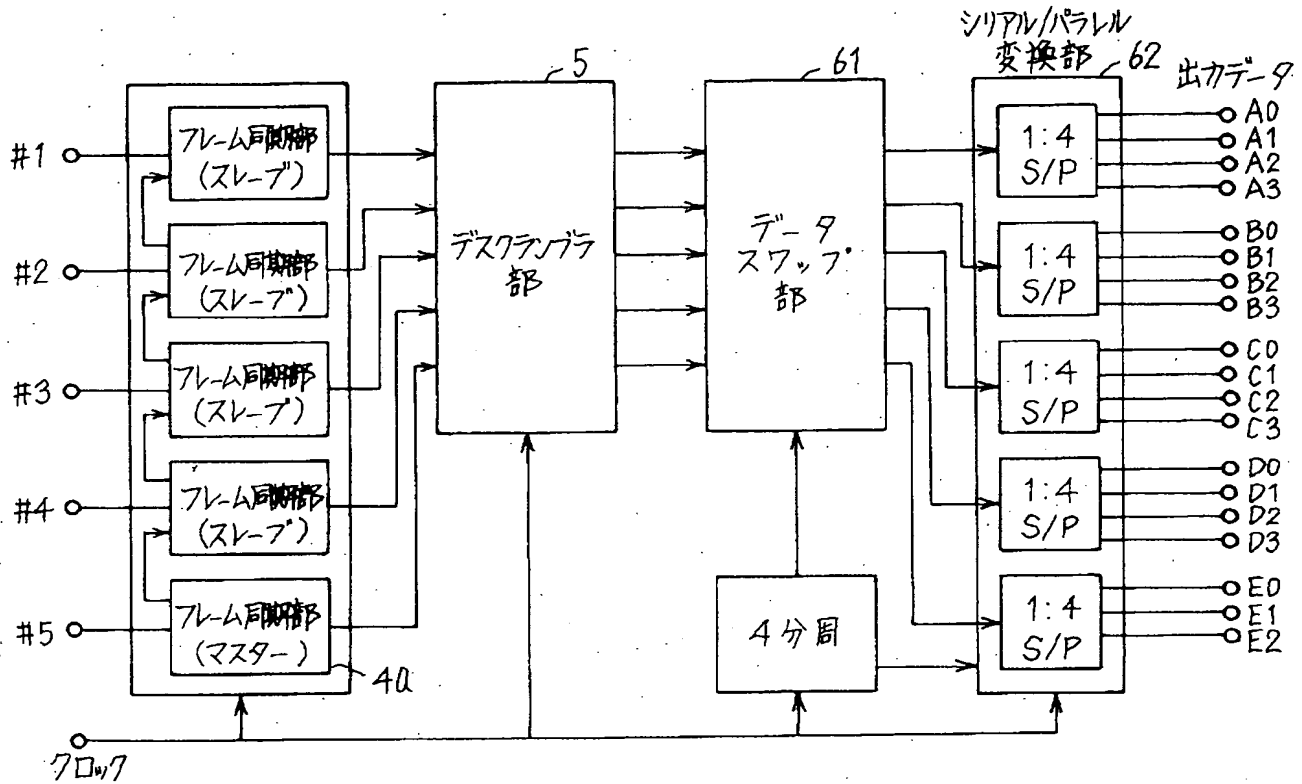
【図 12】

本発明の実施例の復号化処理回路の別の一例を示す図



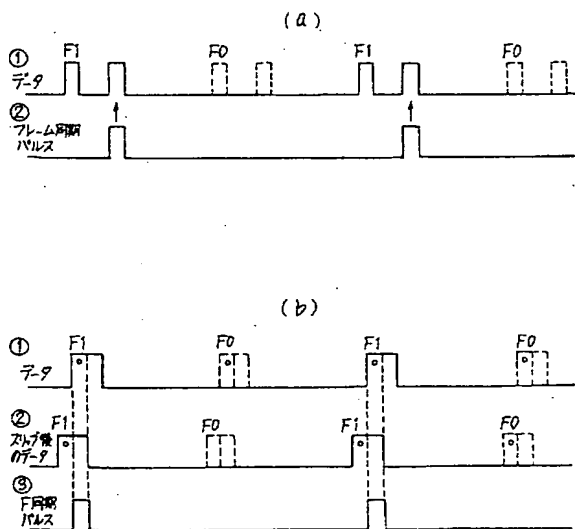
【図13】

本発明の実施例の復号化回路の更に別の一例を示す図

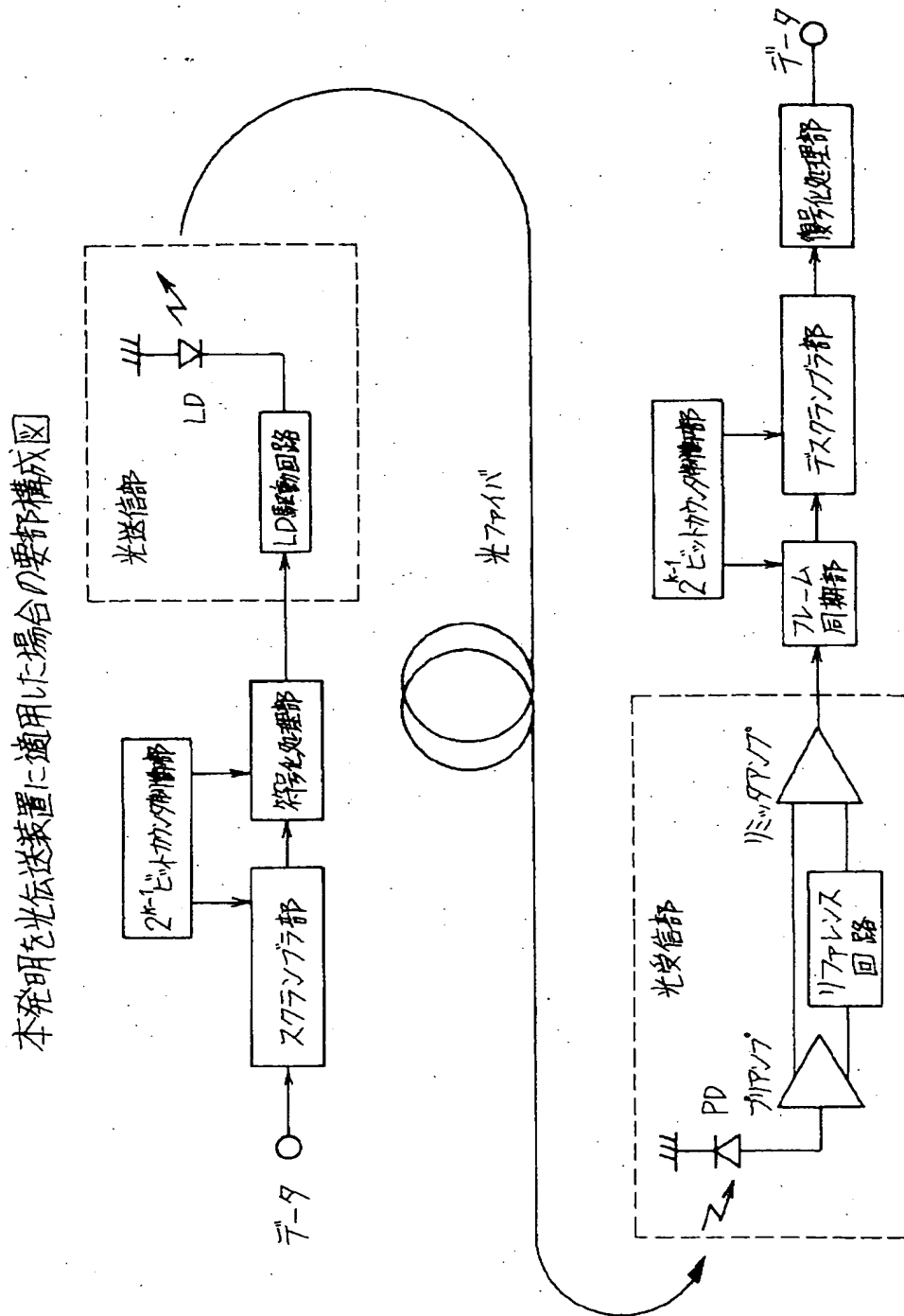


【図16】

課題説明図



【図 14】



【図15】

従来例の説明図

